

Prise en main de la carte auxiliaire

Afin de permettre d'étudier des applications faisant intervenir des signaux analogiques, une carte auxiliaire à la carte DLP d'Altera a été développée. L'alimentation est fournie directement par la carte DLP, on trouvera en annexe 1 les schémas structurels et fonctionnels complets.

En annexe 2, on trouvera un extrait de la documentation constructeur du CAN et en annexe 3 celle du CNA.

Test du CNA

Proposer un programme VHDL générant la commande de la pompe de charge, ainsi qu'une rampe, qui sera envoyée vers le CNA. La fréquence et le rapport cyclique du signal de la pompe de charge devront pouvoir être modifié facilement, on utilisera pour cela l'instruction « generic ».
Tester la solution retenue.

Test complet de la carte

Modifier le programme précédant afin d'envoyer vers le CNA les signaux reçus par le CAN, dont la fréquence d'échantillonnage sera de 50 kHz. Le programme devra comprendre :

- la génération de l'horloge d'échantillonnage à 50 kHz. La fréquence de celle-ci devra pouvoir être modifiée facilement (utiliser l'instruction « generic »).
- la génération du signal de commande à 1 kHz de la pompe de charge.
- la gestion de la communication avec le CNA, par attente du front descendant sur le signal « busy » puis mise au NLO des signaux de sélection et lecture. On utilisera pour cela une machine d'état.

Tester votre solution.

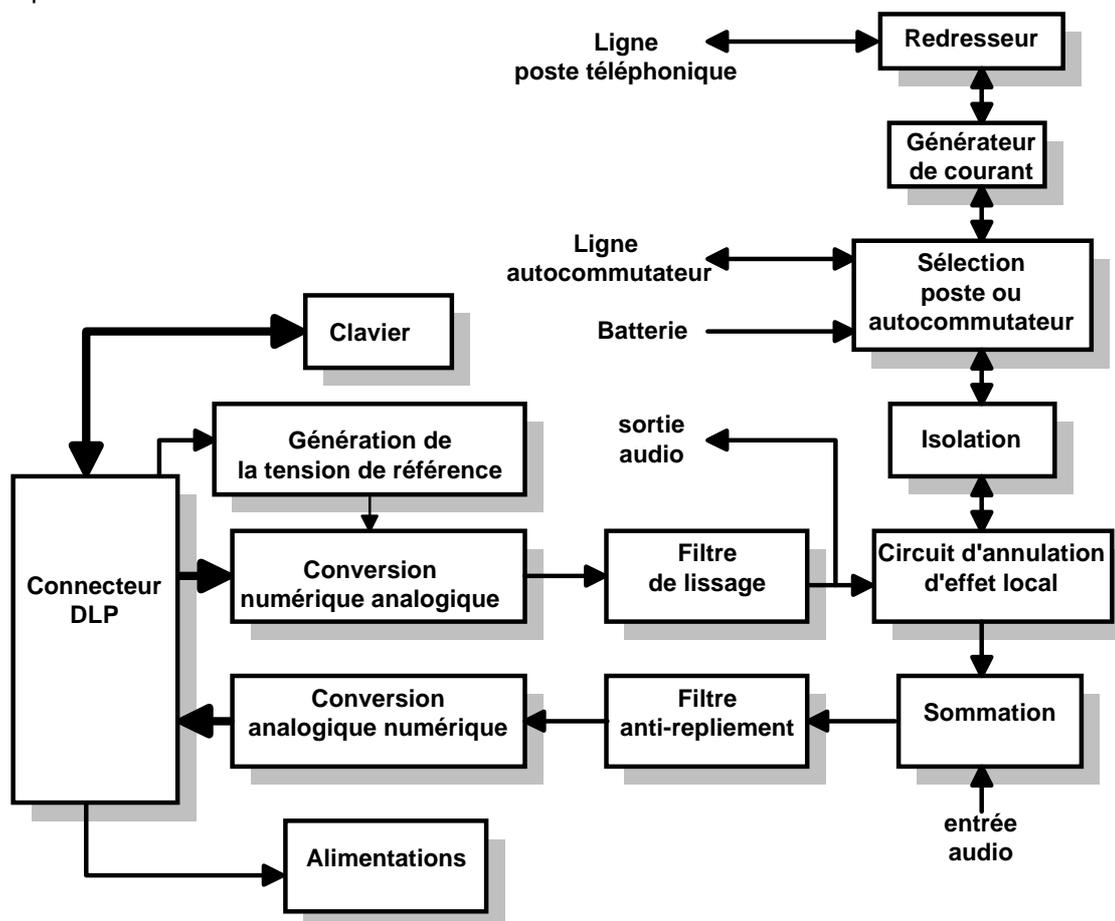
Annexe 1 : schémas de la carte

La carte comprend :

- un CNA 8 bits de référence AD7523 et le filtre de lissage du second ordre associé de fréquence de coupure 20 kHz ;
- un CAN 8 bits de référence AD7819 et le filtre anti-repliement du second ordre associé de fréquence de coupure 20 kHz ;
- un clavier matriciel 12 touches ;
- une entrée et une sortie audio.
- un circuit d'interfaçage vers une ligne téléphonique ;

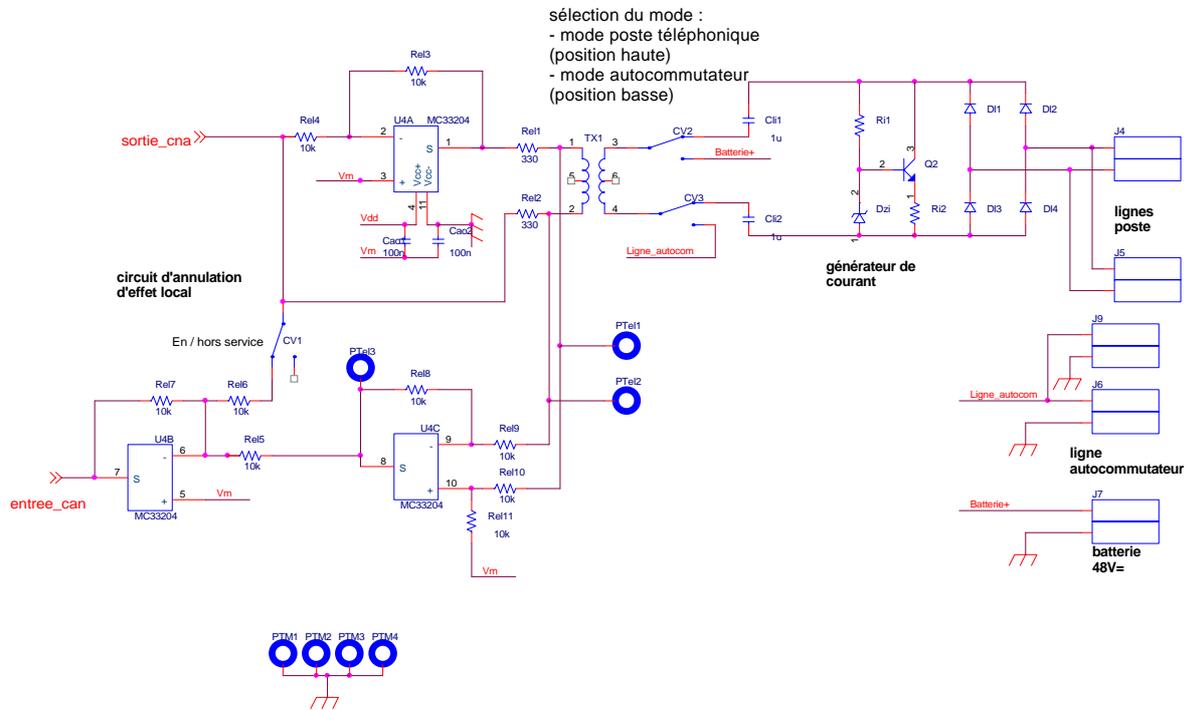
Cette dernière partie est elle-même composée :

- d'un circuit d'annulation d'effet local, évitant que les signaux envoyés sur la ligne ne reviennent sur le système d'acquisition ;
- une isolation vis à vis de la ligne
- une sélection de fonctionnement en poste terminal téléphonique ou en autocommutateur (ce dernier fournissant alors la tension batterie d'alimentation de la ligne).
- un générateur de courant destiné à réguler pour le fonctionnement en poste téléphonique, le courant délivré par la batterie de l'autocommutateur ;
- un redresseur permettant de brancher la carte sur la ligne sans se préoccuper de la polarisation.



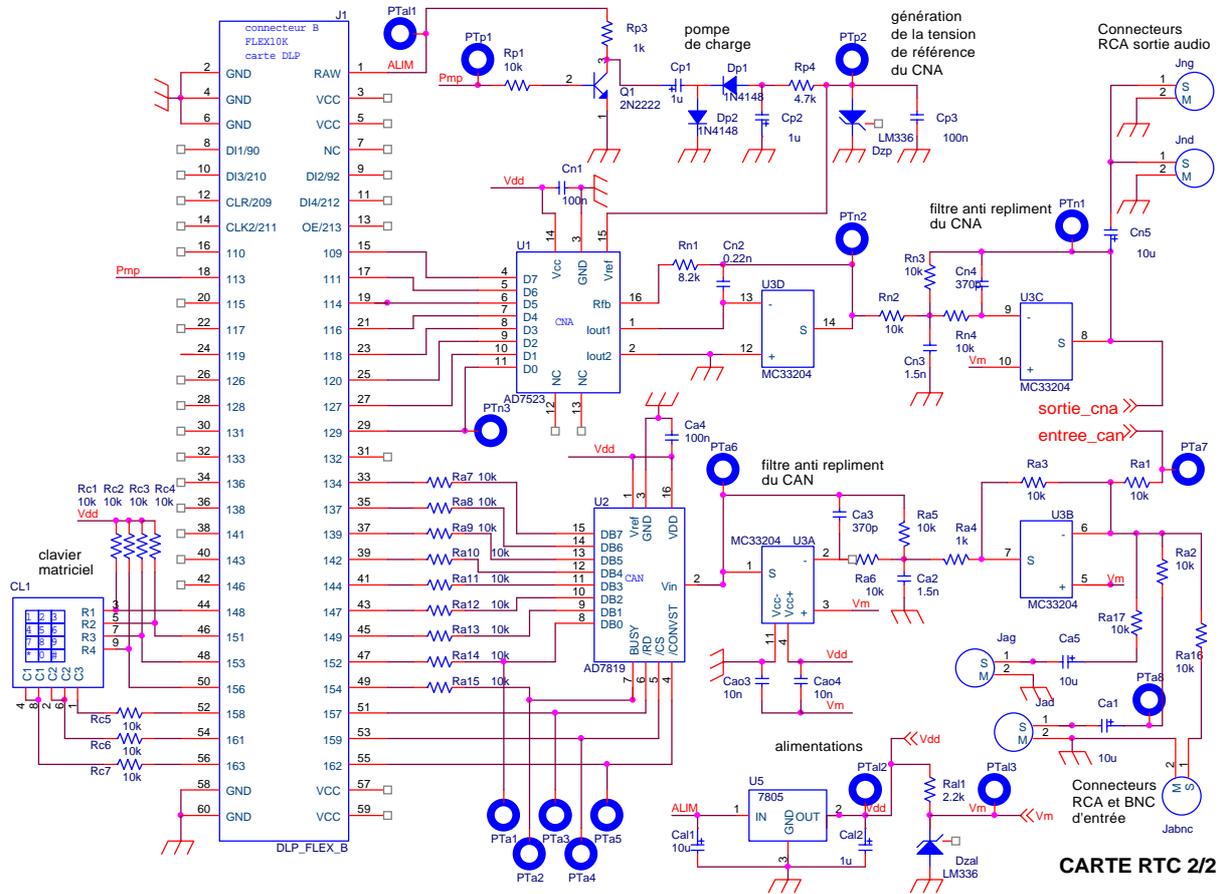
Le CNA fournit sur sa sortie un courant proportionnel au produit du code binaire mis en entrée par la tension de référence. Ce courant est converti en tension par l'amplificateur suivant. Pour éviter d'avoir à gérer des tensions négatives à la sortie de l'amplificateur (et donc d'avoir à fournir une tension d'alimentation négative sur la carte), la tension de référence du CNA est une tension négative de $-2,5\text{ V}$ générée par une référence intégrée (LM336), alimentée par un système à pompe de charge. Ce dernier nécessite une tension carrée fournie par le FPGA sur la broche 49, de fréquence 1 kHz et rapport cyclique 3/4.

Schéma structurel de l'interface vers ligne téléphonique



CARTE RTC 1/2

Schéma structurel de la partie conversion de données



Annexe 2 : extrait de la documentation du CNA AD7523

December 1993

8-Bit Multiplying D/A Converters

Features

- 8, 9 and 10-Bit Linearity
- Low Gain and Linearity Temperature Coefficients
- Full Temperature Range Operation
- Static Discharge Input Protection
- TTL/CMOS Compatible
- +5V to +15V Supply Range
- Fast Settling Time: 150ns Max at +25°C
- Four Quadrant Multiplication
- AD7533 Direct AD7520 Equivalent

Description

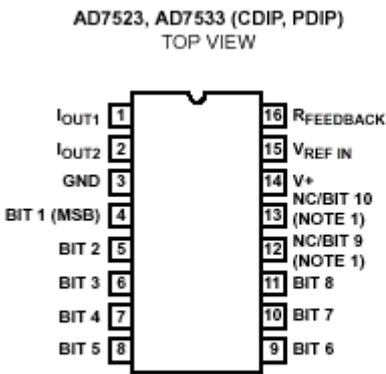
The AD7523 and AD7533 monolithic, low cost, high performance, 8-bit and 10-bit accurate, multiplying digital-to-analog converter (DAC), in a 16 pin DIP.

Harris' thin film resistors on CMOS circuitry provide 10-bit resolution (8, 9 and 10-bit accuracy), with TTL/CMOS compatible operation.

The AD7523 and AD7533s accurate four quadrant multiplication, full military temperature range operation, full input protection from damage due to static discharge by clamps to V+ and GND, and very low power dissipation make it a very versatile converter.

Low noise audio gain controls, motor speed controls, digitally controlled gain and digital attenuators are a few of the wide range of applications of the AD7523 and AD7533.

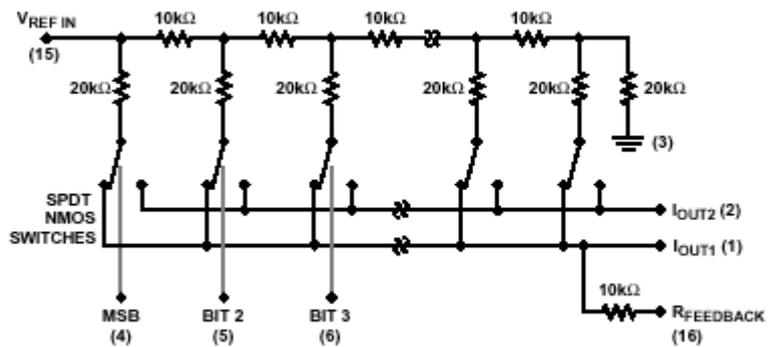
Pinout



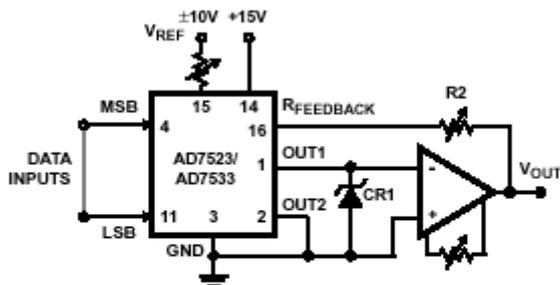
NOTE:

1. NC for AD7523 only.

Functional Block Diagram



Switches shown for digital inputs "High"



NOTES:

1. R1 and R2 used only if gain adjustment is required.
2. CR1 protects AD7523 and AD7533 against negative transients.

FIGURE 2. UNIPOLAR BINARY OPERATION

TABLE 1. UNIPOLAR BINARY CODE - AD7523

DIGITAL INPUT MSB LSB	ANALOG OUTPUT
11111111	$-V_{REF} \left(\frac{255}{256} \right)$
10000001	$-V_{REF} \left(\frac{129}{256} \right)$
10000000	$-V_{REF} \left(\frac{128}{256} \right) = -\frac{V_{REF}}{2}$
01111111	$-V_{REF} \left(\frac{127}{256} \right)$
00000001	$-V_{REF} \left(\frac{1}{256} \right)$
00000000	$-V_{REF} \left(\frac{0}{256} \right) = 0$

NOTES:

1. 1 LSB = $(2^{-8}) (V_{REF}) = \left(\frac{1}{256} \right) (V_{REF})$

Annexe 3 : extrait de la documentation du CAN



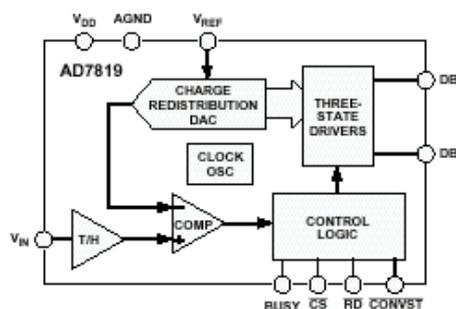
**+2.7 V to +5.5 V, 200 kSPS
8-Bit Sampling ADC**

AD7819

FEATURES

- 8-Bit ADC with 4.5 μ s Conversion Time
- On-Chip Track and Hold
- Operating Supply Range: +2.7 V to +5.5 V
- Specifications at +2.7 V – 3.6 V and 5 V \pm 10%
- 8-Bit Parallel Interface
- 8-Bit Read
- Power Performance
- Normal Operation
10.5 mW, $V_{DD} = 3$ V
- Automatic Power-Down
57.75 μ W @ 1 kSPS, $V_{DD} = 3$ V
- Analog Input Range: 0 V to V_{REF}
- Reference Input Range: 1.2 V to V_{DD}

FUNCTIONAL BLOCK DIAGRAM



PARALLEL INTERFACE

The parallel interface of the AD7819 is eight bits wide. The output data buffers are activated when both \overline{CS} and \overline{RD} are logic low. At this point the contents of the data register are placed on the 8-bit data bus. Figure 15 shows the timing diagram for the parallel port. The Parallel Interface of the AD7819 is reset

when \overline{BUSY} goes logic high. Care must be taken to ensure that a read operation does not occur while \overline{BUSY} is high. Data read from the AD7819 while \overline{BUSY} is high will be invalid. For optimum performance the read operation should end at least 100 ns (t_{10}) prior to the falling edge of the next \overline{CONVST} .

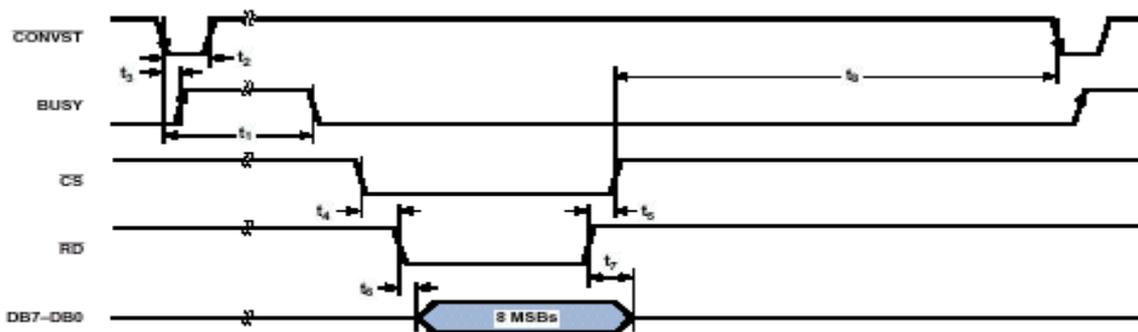


Figure 15. Parallel Port Timing

TIMING CHARACTERISTICS^{1, 2} (–40°C to +125°C, unless otherwise noted)

Parameter	$V_{DD} = 3 \text{ V} \pm 10\%$	$V_{DD} = 5 \text{ V} \pm 10\%$	Units	Conditions/Comments
$t_{POWER-UP}$	1	1	μ s (max)	Power-Up Time of AD7819 after Rising Edge of \overline{CONVST} .
t_1	4.5	4.5	μ s (max)	Conversion Time.
t_2	30	30	ns (min)	\overline{CONVST} Pulse Width.
t_3	30	30	ns (max)	\overline{CONVST} Falling Edge to \overline{BUSY} Rising Edge Delay.
t_4	0	0	ns (min)	\overline{CS} to \overline{RD} Setup Time.
t_5	0	0	ns (min)	\overline{CS} Hold Time after \overline{RD} High.
t_6^3	10	10	ns (max)	Data Access Time after \overline{RD} Low.
$t_7^{3, 4}$	10	10	ns (max)	Bus Relinquish Time after \overline{RD} High.
t_8^3	50	50	ns (min)	Data Bus Relinquish to Falling Edge of \overline{CONVST} Delay.

Annexe 4 : exemple de programmes

Programme de test de CNA

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity test_cna is

--HOR est le signal d'horloge à 25,175 MHz
--H est une horloge à 50 kHz par défaut,
--   résultat de la division de la fréquence de HOR par N
--HP est le signal à 1 kHz de comande de la pompe de charge,
--   résultat de la fréquence de H divisé par NP0+NP1
--HP est au NL0 pendant NP0 coups d'horloge de HOR et au NL1 pendant NP1 coups d'horloge
--DOUT est le bus de données fournissant une rampe de 50 kHz/256=195 Hz sur le CNA

generic (
    N : integer:=503;
    NP1 : integer := 18880;
    NP0 : integer := 6293);
port (
    HOR      : in std_logic;
    DOUT     : out std_logic_vector (7 downto 0);
    H, HP    : out std_logic);
end test_cna;

architecture arch of test_cna is
--pour compter jusqu'a (503 -1) il faut 9 bits (2^9=512)
    signal X      : std_logic_vector (8 downto 0);
--pour compter jusqu'a (25175) il faut 15 bits (2^15=32768)
    signal Y      : std_logic_vector (14 downto 0);
--données numérique du CAN
    signal D      : std_logic_vector (7 downto 0);

begin

    process (HOR)
    begin
        --compteur modulo N
        if (HOR'event and HOR = '1') then
            if X >= N-1 then X<=(others =>'0'); H<='0'; D<=D+1;
            elsif X >= N/2 then X <= X + 1 ; H<='1';
            else X <= X + 1 ; H<='0';
            end if;
        end if;
    end process;

    process (HOR)
    begin
        --compteur modulo NP0+NP1
        if (HOR'EVENT and HOR = '1') then
            if Y >= NP0+NP1-1 then Y<=(others =>'0'); HP<='1';
            elsif Y >= NP1 then Y <= Y + 1 ; HP<='0';
            else Y <= Y + 1 ; HP<='1';
            end if;
        end if;
    end process;

    DOUT<=D;
END arch;

```

Le tableau suivant rappelle les affectations de broches :

Nom	HOR (interne DLP)	H	HP	DOUT0	DOUT1	DDOUT2	DOUT3	DOUT4	DOUT5	DOUT6	DOUT7
Broche FPGA	91	162	113	129	127	120	118	116	114	111	109

Test de l'ensemble CAN CAN

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

entity acq is

--HOR est le signal d'horloge à 25,175 MHz
--H est le résultat de la division de la fréquence de HOR par N
--HP est le signal de comande de la pompe de charge de la fréquence de H divisé par NP0+NP1
--HP est au NL0 pendant NP0 coups d'horloge de HOR et au NL1 pendant NP1 coups d'horloge
--CSB est l'entrée de sélection du CAN (active au niveau bas)
--RDB est l'entrée de lecture du CAN (active au niveau bas)
--BUSY est la sortie de fin de conversion du CAN (données prêtes au front descendant)
--DIN est le bus de données en sortie du CAN
--DOUT est le bus de données mis en code CP2

generic (
    N      : integer:=503;
    NP1    : integer := 18880;
    NP0    : integer := 6293);
port (
    HOR, BUSY      : in std_logic;
    DIN            : in std_logic_vector (7 downto 0);
    DOUT          : out std_logic_vector (7 downto 0);
    H, HP, CSB, RDB : out std_logic);
end acq;

architecture arch of acq is
--pour compter jusqu'a (503 -1) il faut 9 bits (2^9=512)
    signal X      : std_logic_vector (8 downto 0);
--pour compter jusqu'a (25175) il faut 15 bits (2^13=32768)
    signal Y      : std_logic_vector (14 downto 0);
--machine d'état pour l'acquisition des données du CAN
    type ETAT is (E0, E1, E2, E3, E4);
    signal E : ETAT;
begin

    process (HOR)
    begin
        --compteur modulo N
        if (HOR'event and HOR = '1') then
            if      X >= N-1      then X <= (others =>'0');      H<='0';
            elsif  X >= N/2      then X <= X + 1 ;              H<='1';
            else                    X <= X + 1 ;                  H<='0';
            end if;
        end if;
    end process;

```

```

process (HOR)
begin
--compteur modulo NP0+NP1
if (HOR'EVENT and HOR = '1') then
    if      Y >= NP0+NP1-1      then Y <= (others =>'0');      HP<='1';
    elsif  Y >= NP1            then Y <= Y + 1 ;      HP<='0';
    else                                     Y <= Y + 1 ;      HP<='1';
    end if;
end if;
end process;

--machine d'état
process (HOR)
begin
    if (HOR'event and HOR = '1') then
        case E is
            when E0 =>    if BUSY='1'    then E<=E1;
                                else E<=E0;
                                end if;

            when E1 =>    if BUSY='0'    then E<=E2;
                                else E<=E1;
                                end if;

            when E2 =>    E<=E3;

            when E3 =>    E<=E4;          DOUT<=DIN;

            when E4 =>    E<=E0;
        end case;
    end if;
END process;

--mise au niveau bas de entrées de sélection et lecture du CAN
with E select CSB <='0' when E3, '1' when others;
with E select RDB <='0' when E3, '1' when others;

END arch;

```

Le tableau suivant rappelle les affectations de broches :

Nom	HOR (interne DLP)	H	HP	DOUT0	DOUT1	DDOUT2	DOUT3	DOUT4	DOUT5	DOUT6	DOUT7
Broche FPGA	91	162	113	129	127	120	118	116	114	111	109

Nom	CSB	RDB	BUSY	DIN0	DIN1	DIN2	DIN3	DIN4	DIN5	DIN6	DIN7
Broche FPGA	159	157	154	152	149	147	144	142	139	137	134